

F-023

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172025

(43) 公開日 平成8年(1996)7月2日

(51) Int. Cl. <sup>4</sup>	特許庁記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 2/06				
4/12	3 5 7			
4/30	3 0 1 F	7924-5E		
		9174-5E	H 0 1 G 1/ 035	Z
		7924-5E	4/ 39	A
審査請求 未請求 請求項の数1 O L (全 3 頁) 最終頁に続く				

(21) 出願番号 特開平8-313429

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(22) 出願日 平成6年(1994)12月16日

(72) 発明者 内田 彰

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社生産技術センター内

(72) 発明者 小島 靖

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社生産技術センター内

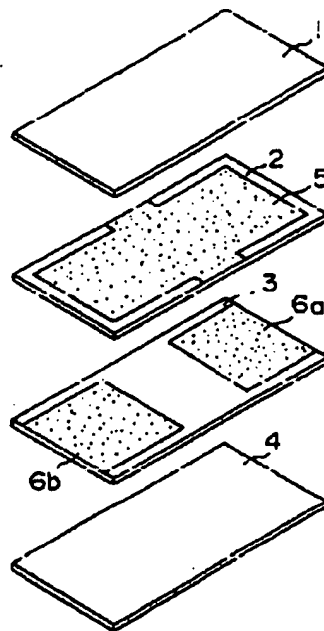
(74) 代理人 弁理士 小杉 佳男 (外2名)

(54) 【発明の名称】 チップコンデンサ

(57) 【要約】

【目的】 実装密度を向上させるとともに実装コストの低減化が図られたチップコンデンサを提案する。

【構成】 厚さ方向5、6aのペア、厚さ方向5、6bのペアにより、それぞれコンデンサ素子が形成され、1つのチップコンデンサに2個のコンデンサを内蔵した。



1

【特許請求の範囲】

【請求項1】 誘電体を含有する基板と、該基板の一方の面に、互いに分離された状態に配置された複数の第1の厚膜電極と、該基板のもう一方の面の、前記複数の第1の厚膜電極に対向する位置に配置された、前記複数の第1の厚膜電極それぞれとの間に各コンデンサを形成してなる第2の厚膜電極と、前記複数の第1の厚膜電極を前記基板との間に挟む第1のカバー板と、前記第2の厚膜電極を前記基板との間に挟む第2のカバー板と、前記複数の第1の厚膜電極それぞれに接続され外部に露出した複数の第1の外部電極と、前記第2の厚膜電極に接続され外部に露出した第2の外部電極とを備えたことを特徴とするチップコンデンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子機器のノイズ除去等に用いられるチップコンデンサに関する。

【0002】

【従来の技術】 従来より、電子機器の高周波ノイズ除去用として、チップコンデンサが広く使用されている。すなわち、例えば電子機器の回路基板上に形成された信号ラインとグラウンドとの間にチップコンデンサが実装されている。そのチップコンデンサで高周波ノイズをグラウンドにバイパスすることにより高周波ノイズが除去され電子機器の誤動作等が防止される。

【0003】

【発明が解決しようとする課題】 しかし、従来、チップコンデンサにはコンデンサ素子1つだけしか内蔵されておらず、回路基板上の多数の信号ラインそれぞれとグラウンドとの間にチップコンデンサを実装しようとする広い面積を必要とし、回路基板の実装密度を上げるのは困難であり、また実装に手間がかかりコストアップの原因となっていた。

【0004】 本発明は、上記事情に鑑み、実装密度を向上させるとともに実装コストの低減化が図られたチップコンデンサを提案することを目的とする。

【0005】

【課題を解決するための手段】 上記目的を達成する本発明のチップコンデンサは、

(1) 誘電体を含有する基板

(2) その基板の一方の面に、互いに分離された状態に配置された複数の第1の厚膜電極

(3) その基板のもう一方の面の、上記複数の第1の厚膜電極に対向する位置に配置された、上記複数の第1の厚膜電極それぞれとの間に各コンデンサを形成してなる第2の厚膜電極

(4) 上記複数の第1の厚膜電極を上記基板との間に挟む第1のカバー板

(5) 上記第2の厚膜電極を上記基板との間に挟む第2のカバー板

2

(6) 上記複数の第1の厚膜電極それぞれに接続され外部に露出した複数の第1の外部電極

(7) 上記第2の厚膜電極に接続され外部に露出した第2の外部電極を備えたことを特徴とする。

【0006】

【作用】 本発明のチップコンデンサは、上記のように、基板を挟んだ一方の面に、互いに分離された状態に複数の第1の厚膜電極を配置し、他方の面の、それら複数の第1の厚膜電極に対向する位置に第2の厚膜電極を配置したため、1つのチップコンデンサに複数のコンデンサ素子が形成される。従って、このチップコンデンサを回路基板に実装すると1個のチップコンデンサで複数のコンデンサ素子が実装されることになり、例えば従来技術の、コンデンサ素子が1つだけ内蔵されたチップコンデンサを多数実装する場合と比較し、回路基板の、チップコンデンサの実装スペースが小さくて済み、チップコンデンサの回路基板への実装密度の向上が容易に図られる。

【0007】 また、回路基板への、実装の手間が軽減され実装コストの低減化が図られる。

【0008】

【実施例】 以下、本発明の実施例について説明する。図1は、チップコンデンサを製造する過程におけるグリーンシートを示した図、図2はチップコンデンサの外観斜視図、図3はその等価回路図である。ここでは図1に示す4枚のグリーンシート1~4が用意される。それらのグリーンシート1~4はポリエステルのベースシートに誘電体スラリーをドクターブレード法により印刷し乾燥することにより作製される。ここで用いた誘電体材料は、 $PbO$ 、 $La_2O_3$ 、 $ZrO_2$ 、 $TiO_2$ を湿式混合し、 $1150^{\circ}C$ で2時間焼成後湿式ミルで粉砕した平均粒径 $0.1\mu m$ の粉体であり、 $Pb_{0.85}La_{0.15}Zr_{0.7}Ti_{0.3}O_{0.85}$ の組成を有するものである。

【0009】 それら4枚のグリーンシート1~4のうち、グリーンシート2、3には、誘電体スラリーを印刷、乾燥した後、さらに、それぞれ図示の形状となるように、導電性ペーストをドクターブレード法により印刷、乾燥し、これにより、厚膜電極5（本発明にいう第2の厚膜電極）および厚膜電極6a、6b（本発明にいう複数の第1の厚膜電極）が形成される。これらの厚膜電極5、6a、6bのうち、グリーンシート2を挟む厚膜電極5、6aのペア、および厚膜電極5、6bのペアにより、それぞれ、図3に示す等価回路中のコンデンサ素子10、11が形成される。

【0010】 また、グリーンシート1およびグリーンシート3、4により厚膜電極5、6a、6bがカバーされ、保護される。以上のようにして形成された4枚のグリーンシート1~4が互いに積層され、熱圧着により一体化された後、焼成され、焼結体を得られる。その焼結体をパレル研磨してその焼結体の側面から厚膜電極5、

3

6a, 6bを露出させ、それら厚膜電極5, 6a, 6bが露出した部分に導電性ペーストを塗布し、これにより、図2に示すように、厚膜電極6a, 6bとそれぞれ接続された外部電極7, 8、および厚膜電極5と接続された外部電極9a, 9bを形成する。このように、コンデンサ素子が2素子内蔵された、図2に示す形状のチップコンデンサが完成する。

【0011】この実施例では、1つのチップコンデンサにコンデンサ素子が2素子内蔵されているため、コンデンサ素子が1素子のみ内蔵された従来のチップコンデンサを回路基板に実装する場合と比べ、チップコンデンサの実装スペースが小さくて済み、また実装コストも削減される。

【0012】

【発明の効果】以上説明したように、本発明によれば、

4

コンデンサの高密度実装に適したチップコンデンサが構成され、したがってチップコンデンサの、回路基板への実装密度の向上が図られるとともに実装コストの低減化も図られる。

【図面の簡単な説明】

【図1】チップコンデンサを製造する過程におけるグリーンシートを示した図である。

【図2】チップコンデンサの外観斜視図である。

【図3】チップコンデンサの等価回路図である。

【符号の説明】

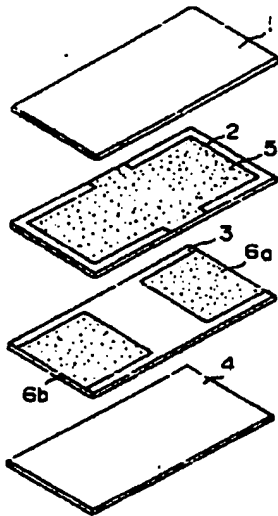
1, 2, 3, 4 グリーンシート

5, 6a, 6b 厚膜電極

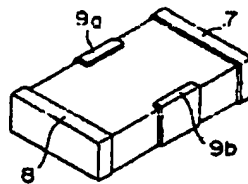
7, 8, 9a, 9b 外部電極

10, 11 コンデンサ素子

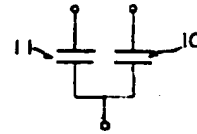
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. \*

H01G 4/30  
4/38

識別記号 庁内整理番号

D 7924-5E

F I

技術表示箇所